

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

04299520 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 05-291220 [JP 5291220 A]

PUBLISHED: November 05, 1993 (19931105)

INVENTOR(s): HARA MASATERU

SAMEJIMA TOSHIYUKI

USUI SETSUO

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 04-094465 [JP 9294465]

FILED: April 14, 1992 (19920414)

INTL CLASS: [5] H01L-021/304; H01L-021/302; H01L-021/316

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1504, Vol. 18, No. 77, Pg. 142,
February 08, 1994 (19940208)

ABSTRACT

PURPOSE: To provide a method for manufacturing a semiconductor device with small degree of irregularity in characteristics by nearly perfectly removing impurities without roughening the formation surface of an oxide film in a cleaning treatment before the oxide film formation.

CONSTITUTION: When an oxide film 5 is applied to, and formed on, a semiconductor layer 10, a treatment which has combined the following is executed to the surface of at least the semiconductor layer 10: a process wherein the surface is exposed to hydrogen; and a process wherein the surface is exposed to oxygen. After that, the oxide film 5 is applied to, and formed on, the semiconductor layer 10.

?

特開平5-291220

(43) 公開日 平成5年(1993)11月5日

(51) Int. Cl. ⁶

H01L 21/304

21/302

21/316

識別記号

341

D 8728-4M

C 8518-4M

X 8518-4M

F I

審査請求 未請求 請求項の数 2 (全 6 頁)

(21) 出願番号 特願平4-94465

(22) 出願日 平成4年(1992)4月14日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 原 昌輝

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 鮫島 俊之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 碓井 節夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

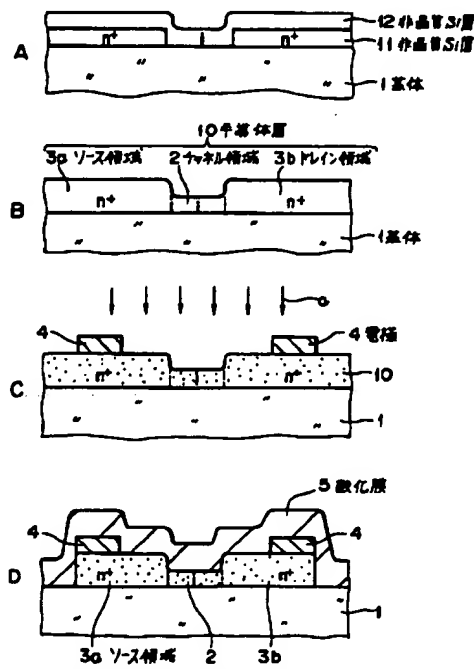
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 半導体装置の製造方法において、その酸化膜形成前の洗浄処理にあたって被酸化膜形成面の表面荒れ等を生じることなくほぼ完全に不純物を除去できるようにして、特性のばらつきの少ない半導体装置を得る製造方法を提供する。

【構成】 半導体層10上に酸化膜5を被着形成するに当たって、少なくともこの半導体層10の表面に対し、水素に曝す工程と酸素に曝す工程とを組み合わせた処理を施した後、半導体層10上に酸化膜5を被着形成する。



本発明半導体装置の製造方法の一例の工程図

【特許請求の範囲】

【請求項 1】 半導体層上に酸化膜を被着形成するに当たって、少なくとも上記半導体層の表面に対し、水素に晒す工程と酸素に晒す工程とを組み合わせた処理を施した後、上記半導体層上に酸化膜を被着形成することを特徴とする半導体装置の製造方法。

【請求項 2】 上記水素に晒す工程と酸素に晒す工程において水素プラズマと酸素プラズマとを用いることを特徴とする上記請求項 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば MOS トランジスタ構造の半導体装置において、Si 半導体基体上に酸化膜を形成する際の被酸化膜形成面の洗浄工程等に用いて好適な半導体装置の製造方法に係わる。

【0002】

【従来の技術】 MOS トランジスタ等の半導体装置において、例えば Si 半導体基体上に酸化膜 SiO_2 をプラズマ増速 CVD（化学的気相成長法）等により形成する場合に、イオンを含まない酸素プラズマに晒す処理を SiO_2 膜の成膜前に Si 基体表面上に施すと、トランジスタの界面単位密度が下がり、性能が向上することが知られている（例えば Appl. Phys. Lett. 60 (4), 434 (1992) T. Yasuda et al, 又は Appl. Phys. Lett. 58 (6), 619 (1991) A. A. Bright et al 等）。

【0003】 同様に、 SiO_2 成膜前にイオンを含まない水素プラズマに晒す処理を施すことによって、ある程度の性能の向上があることが上述の文献等においても述べられている。

【0004】 しかしながら、実際にはこのように酸素プラズマ或いは水素プラズマに晒す場合においても、その特性にばらつきが生じてしまうことが知られている。これは、酸素プラズマに晒すことによって基体表面にごく薄い酸化膜が形成されるため、表面の汚染の度合いが激しい場合などはこの酸化膜中に汚れが取り込まれてしまうとか、又は水素プラズマに晒す場合はプラズマ処理時間が長くなると水素プラズマによって表面がエッチングされ、結果的に表面が荒れてしまう等の不都合が生じ、この上に被着する酸化膜の膜質等が不均一となって、半導体装置自体の特性、例えばドレイン電流—ゲート電圧特性等にばらつきを生じてしまうものと思われる。

【0005】

【発明が解決しようとする課題】 本発明は、上述したような半導体装置の製造方法において、その酸化膜形成前の洗浄処理にあたって被酸化膜形成面の表面荒れ等を生じることなくほぼ完全に不純物を除去し得るようになり、特性のばらつきの少ない半導体装置を得る製造方法を提供する。

【0006】

【課題を解決するための手段】 本発明半導体装置の製造

方法は、その一例の製造工程図を図 1 A～D に示すように、半導体層 10 上に酸化膜 5 を被着形成するに当たって、少なくともこの半導体層 10 の表面に対し、図 1 C において矢印 a で示すように水素に晒す工程と酸素に晒す工程とを組み合わせた処理を施した後、図 1 D に示すように半導体層 10 上に酸化膜 5 を被着形成する。

【0007】 また本発明半導体装置の製造方法は、上述の水素に晒す工程と酸素に晒す工程において水素プラズマと酸素プラズマとを用いる。

10 【0008】

【作用】 上述したように、本発明半導体装置の製造方法においては、半導体層上に酸化膜を形成する前に、その表面に対して水素及び酸素を晒す工程を組み合わせる処理を施すことにより表面の清浄化を行うものであり、このような表面処理を行うことによって、その被酸化膜形成面上の不純物の除去をより完全に行うと共に表面の荒れを抑制することができることから、この上に酸化膜を形成して得るトランジスタ等の半導体装置の特性を向上させることができた。

20 【0009】 例えば半導体層として Si 基体、酸化膜として SiO_2 を形成する際に、その Si 基体表面を例えば水素プラズマに晒す処理を行う場合、 SiO_2 と Si との界面及び粒界のダングリングボンド（不対結合手）を終端化するいわゆるターミネーション効果と、Si 表面のカーボン等の不純物のクリーニング効果が得られる。ところが、前述したように水素プラズマ処理を施すと Si 表面のエッチングをも行ってしまうために、表面がエッチングによって荒れてしまい、最終的に得る半導体装置の性能を下げってしまうことになる。従って、水素プラズマ処理の時間をある程度以上長くすることはできず、水素に晒す処理のみでは表面の充分なクリーニング効果を得ることはできない。

30 【0010】 一方半導体層表面を例えば酸素プラズマに晒す処理を行う場合においても、例えば Si 表面のカーボン等の汚染物質を CO 、 CO_2 等として揮発させるなどのクリーニング効果を有する。ところが、このとき表面の酸化も同時に行われるため、例えば不純物が比較的多い場合は前述したようにこの不純物が除去される前に周囲を酸化膜で囲まれてしまい、結果的に酸化膜中にカーボン等の不純物が取り込まれる場合がある。従って、酸素を晒す処理もまたこれを単独に行う場合は、処理前の表面状態によっては不純物を取り除くことができずに酸化膜中に取り込んでしまうこととなり、逆効果となってしまうという不都合を有する。

40 【0011】 しかしながら、本発明においてはこのような水素に晒す処理と酸素に晒す処理とを順次或いは同時に、これらを組み合わせる行うことによって、上述したような過剰なエッチング及び酸化膜中に不純物を取り込む等の問題点を惹き起こすことなく、表面のクリーニングを効果的に行うことができることとなり、半導体層の

表面を荒らすことなくほぼ完全にクリーニングすることができ、またダングリングボンドのターミネーション効果をも得ることができるものと思われる。

【0012】また、本発明においては特に水素及び酸素に晒す処理として、水素プラズマ及び酸素プラズマを用いることによって、このようなクリーニング効果、ターミネーション効果を確実に得ることができた。

【0013】従って、このような本発明半導体装置の製造方法によれば、半導体層上に良好な膜質をもって酸化膜を形成でき、例えばSi半導体層とSiO₂酸化膜との界面における界面準位密度を低下させることができ、MOSトランジスタ等の半導体装置の特性の向上をはかることができる。

【0014】

【実施例】本実施例においては、本発明半導体装置の製造方法を用いて、図2に示すプレーナ型多結晶Si薄膜トランジスタを作製した。先ず、このトランジスタの製造方法を図1A～Dを参照して説明する。

【0015】先ず図1Aに示すように、例えば無アルカリガラス等より成る基体1上に、周波数13.56MHzの平行平板型RF（高周波）プラズマCVD装置により、基体温度を250℃として、P等のn型不純物をドーブした例えば水素含有非晶質Si層11を、SiH₄とH₂との混合ガスを用いて厚さ200Åとして形成した後、後述するチャンネル領域を形成する部分をフォトリソグラフィ等の適用により除去し、更にこの上にノンドープの例えば水素含有非晶質Si層12を全面的に被着する。

【0016】次に、これら両非晶質Si層11及び12に対し、室温真空中においてエキシマレーザを照射して多結晶化する。このとき、PドーブSi層11上のノンドープSi層中に不純物Pが拡散され、図1Bに示すように真性のチャンネル領域2の両側にn型不純物が注入されたソース/ドレイン領域3a及び3bが形成されて半導体層10が構成される。

【0017】この後図1Cに示すように、半導体層10上に例えば通常のリフトオフ法等を用いて電極4a及び4bをパターンニング形成し、更に半導体層10の表面に対して矢印aで示すように、水素に晒す工程と酸素に晒す工程とを組み合わせた処理を施して、表面の清浄化を行う。

【0018】そして更に図1Dに示すように、チャンネル領域2の両側のソース/ドレイン領域3a及び3bをフォトリソグラフィ等の適用によって所定のパターンにパターンニングした後、半導体層10上を覆って全面的に、周波数13.56MHzの平行平板型RFプラズマCVD装置等により、基体1の温度を250℃として例えばSiH₄及びO₂ガスとを用いて厚さ約2000ÅのSiO₂等より成る絶縁膜5を成膜する。

【0019】この後絶縁膜5上のチャンネル領域2の上部に相当する位置に、Al等より成るゲート電極6を蒸着した後フォトリソグラフィ等の適用によってパターンニング形成すると共に、絶縁膜5に各電極4に達する開口を穿設して、図2に示すプレーナ型の多結晶Si薄膜トランジスタを得ることができる。

【0020】このようにして形成した薄膜トランジスタは、多結晶Si半導体層10と絶縁膜5との界面10S（図2において斜線を付して示す）において、その清浄化をはば完全にすることができると共に表面の荒れを回避することができ、界面準位密度を低減化でき、ドレイン電流－ゲート電圧特性等の特性の向上をはかることができた。以下にその測定結果を示す。

【0021】この例においては、上述の図1Cにおいて説明した水素と酸素とを晒す工程において、プラズマ処理を施した。この場合のプラズマ処理とは、中性分子、中性ラジカル、イオンによる表面処理を意味する。実施例として水素処理を施した後酸素プラズマ処理を施した場合、比較例1～3としてそれぞれ無処理の場合、水素プラズマ処理のみの場合、酸素プラズマ処理のみの場合についてそれぞれ図2に示す薄膜トランジスタを形成し、ドレイン電圧を5V、チャンネル領域2の幅W及び長さLの比W/Lを8としたときの、ドレイン電流I_d、ゲート電圧V_g特性について調べた。この結果をそれぞれ図2～図5に示す。

【0022】また下記の表1に、実施例と比較例2及び3における各処理時の基体温度、処理時間、ガス流量、反応室内圧力、投入RFパワーをそれぞれ示す。更に下記の表2にこのようにして形成した各薄膜トランジスタにおいて、そのゲート電圧が20V、ドレイン電圧が5Vのときのオン電流と電界効果移動度を示す。

【0023】

【表1】

	処 理 内 容	温 度 [℃]	時間	ガス流量 [SCCM]	反応室内圧力 [mTorr]	投入RFパワー [W/cm ²]
実施例	水素プラズマ	250	5分	100	120	0.05
	→酸素プラズマ	"	30秒	20	350	0.01
比較例2	水素プラズマのみ	"	5分	100	120	0.05
比較例3	酸素プラズマのみ	"	5分	20	350	0.01

【0024】

【表2】

	オン電流	電界効果移動度
実施例	322 μ A	73 cm ² /Vs
比較例1	28.2 nA	—
比較例2	105 μ A	10 cm ² /Vs
比較例3	350 nA	—

【0025】これらの結果からわかるように、半導体層表面を無処理の場合、水素プラズマ処理のみの場合、酸素プラズマ処理のみの場合に比して、水素プラズマ処理と酸素プラズマ処理とを組み合わせる本発明実施例においては、オン電流が格段に大となり、また電界効果移動度も増大化することができた。

【0026】これは、上述したように表面を水素プラズマに晒すことにより、表面を荒らすことなくある程度まで不純物を除去してクリーニングを行った後、更に酸素プラズマに晒すことによって、少量残った不純物をほぼ完全に除去することができること、またこのとき極薄の酸化膜が形成されて、結果的にこの上に被着される酸化膜5の膜質が良好となって、界面単位密度が低減化したことによるものと思われる。

【0027】尚、上述の実施例においては、半導体層10の表面を水素プラズマに晒した後酸素プラズマに晒す処理を行ったが、この順序は逆としてもよく、また水素プラズマと酸素プラズマとに同時に晒すなど各種組み合わせ態様をとることができる。

【0028】また、このような処理方法としては上述のプラズマ処理に限ることなく、例えば半導体層表面を酸素ガス及び水素ガスに順次或いは同時に晒して、基体1を加熱したり、または同様に酸素ガス及び水素ガスに晒した状態で紫外線等の光照射を行うなどして、酸素ガス及び水素ガスを活性化させて表面のクリーニングを行う等の種々の処理方法を探ることができ、これらの場合においても上述の実施例と同様の効果を得ることができる。

【0029】また、上述の実施例においては、本発明半

導体装置の製造方法を多結晶Si薄膜トランジスタの製造に適用した場合を示したが、本発明はこれに限ることなく、単結晶Siを用いてMOSトランジスタ等においても同様の効果を得ることができ、またその材料構成としてもSiGe上にSiO₂を形成する場合や化合物半導体層上に酸化膜を形成する場合等、種々の半導体と絶縁膜との界面を有する半導体装置の製造に適用することができることはいうまでもない。

【0030】

【発明の効果】上述したように、本発明半導体装置の製造方法においては、水素に晒す処理と酸素に晒す処理とを順次或いは同時に、これらを組み合わせる行うことによって、半導体層の表面を荒らすことなくほぼ完全にクリーニングすることができ、またダングリングボンドのターミネーション効果をも同時に得ることができ、例えばMOS型多結晶Si薄膜トランジスタにおいて、酸化膜と半導体層との界面単位密度を低減化して、オン電流及び電界効果移動度等の特性の向上をはかることができる。

【0031】また、本発明においては特に水素及び酸素に晒す処理として、水素プラズマ及び酸素プラズマを用いることによって、このようなクリーニング効果、ターミネーション効果を確実に得ることができ、半導体装置の特性の向上をはかることができる。

【図面の簡単な説明】

【図1】本発明半導体装置の製造方法の一例の製造工程図である。

【図2】半導体装置の一例の略線的拡大断面図である。

【図3】本発明製法により作製した半導体装置のドレイ

ン電流-ゲート電圧特性を示す図である。

【図4】従来の製法により作製した半導体装置のドレイン電流-ゲート電圧特性を示す図である。

【図5】従来の製法により作製した半導体装置のドレイン電流-ゲート電圧特性を示す図である。

【図6】従来の製法により作製した半導体装置のドレイン電流-ゲート電圧特性を示す図である。

【符号の説明】

1 基体

2 チャネル領域

3 a ソース領域

3 b ドレイン領域

4 a ソース電極

4 b ドレイン電極

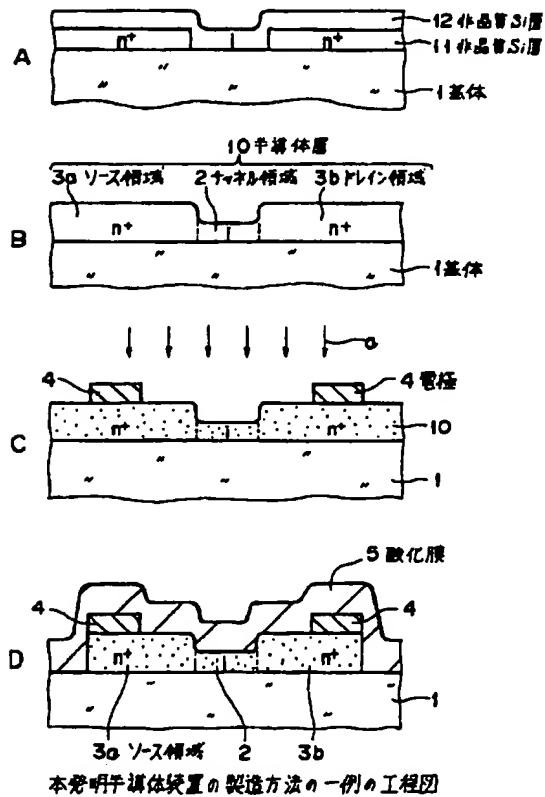
5 酸化膜

6 ゲート電極

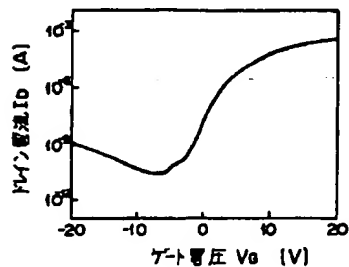
10 半導体層

10 S 界面

【図1】

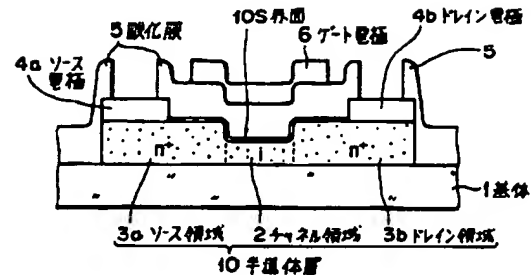


【図3】

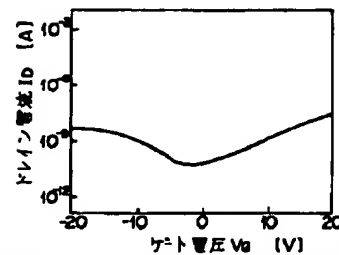


本発明製造方法による
半導体装置のドレイン電流-ゲート電圧特性を示す図

【図2】

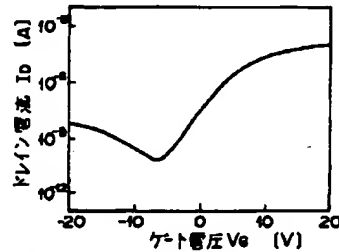


【図4】



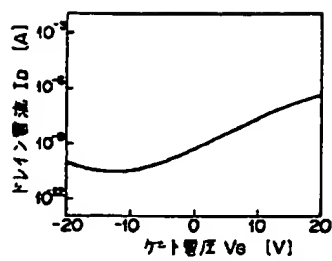
従来の半導体装置のドレイン電流-ゲート電圧特性を示す図

【図5】



従来の半導体装置のドレイン電流-ゲート電圧特性を示す図

【図6】



従来の半導体装置のドレイン電流-ゲート電圧特性を示す